

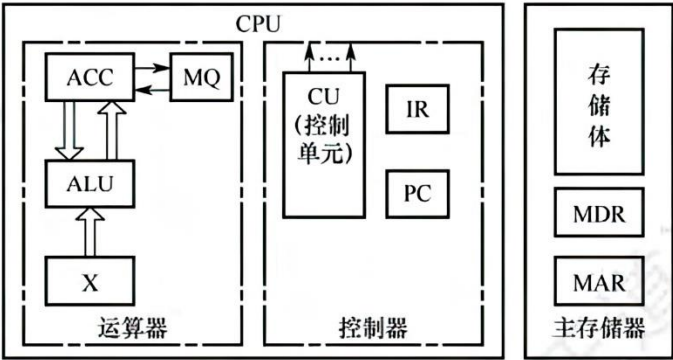
目录

第 1 章 计算机系统概述.....	2
1.3 计算机的性能指标.....	2
第 2 章 数据的表示和运算.....	4
2.2 运算方法和运算电路.....	4
2.3 浮点数的表示与运算.....	7
第 3 章 存储系统.....	10
3.2 主存储器.....	10
3.3 主存储器与 CPU 的连接.....	12
3.4 外部存储器.....	13
3.5 高速缓冲存储器.....	14
3.6 虚拟存储器.....	19
第 4 章 指令系统.....	26
4.1 指令系统.....	26
4.2 指令的寻址方式.....	27
4.3 程序的机器级代码表示.....	35
第 5 章 中央处理器.....	39
5.1 CPU 的功能和基本结构.....	39
5.3 数据通路的功能和基本结构.....	39
5.4 控制器的功能和工作原理.....	48
5.6 指令流水线.....	51
第 6 章 总线.....	55
6.1 总线概述.....	55
6.2 总线事务和定时.....	56
第 7 章 输入/输出系统.....	57
7.3 I/O 方式.....	57

第 1 章计算机系统概述

1.3 计算机的性能指标

01. 设主存储器容量为 $64K \times 32$ 位, 且指令字长、存储字长、机器字长三者相等。写出如下图所示各寄存器的位数, 并指出哪些寄存器之间有信息通路【本题涉及第 5 章的内容】



02. 用一台40MHz的处理器执行标准测试程序, 它所包含的混合指令数和响应所需的时钟周期见下表。求有效的CPI、MIPS速率和程序的执行时间 (I为程序的指令条数)。

指令类型	CPI	指令混合比	指令类型	CPI	指令混合比
算术和逻辑	1	60%	转移	4	12%
高速缓存命中的访存	2	18%	高速缓存失效的访存	8	10%

03. 微机A和B是采用不同主频的CPU芯片, 片内逻辑电路完全相同。

- 1) 若A机的CPU主频为8MHz, B机为12MHz, 则A机的CPU时钟周期为多少?
- 2) 若A机的平均指令执行速度为0.4MIPS, 则A机的平均指令周期为多少?
- 3) B 机的平均指令执行速度为多少?

04. 某台计算机只有 LOAD/STORE 指令能对存储器进行读/写操作, 其他指令只对寄存器进行操作。根据程序跟踪试验结果, 已知每条指令所占的比例及 CPI 数如下表所示。

指令类型	CPI	指令混合比	指令类型	CPI	指令混合比
算术和逻辑	1	60%	转移	4	12%
高速缓存命中的访存	2	18%	高速缓存失效的访存	8	10%

求上述情况下的平均 CPI。

假设程序由 M 条指令组成。算术逻辑运算中25%的指令的两个操作数中的一个已在寄存器中, 另一个必须在算术逻辑指令执行前用 LOAD 指令从存储器中取到寄存器中。因此有人建议增加另一种算术逻辑指令, 其特点是一个操作数取自寄存器, 另一个操作数取自存储器, 即寄存器-存储器类型, 假设这种指令的 CPI 等于 2。同时, 转移指令的 CPI 变为 3。求新指令系统的平均 CPI。

第 2 章 数据的表示和运算

2.2 运算方法和运算电路

01. 已知 $A = -1001$ 、 $B = -0101$, 求 $[A + B]_{\text{补}}$ 和 $[A - B]_{\text{补}}$ 。

02. 已知 32 位寄存器 R1 中存放的变量 x 的机器码为 8000 0004H, unsigned int 型的乘除法采用逻辑移位操作, int 型的乘除法采用算术移位操作, 请问:

- 1) 当 x 是 unsigned int 型时, x 的真值是多少? $x/2$ 存放在 R1 中的机器码是什么? $x/2$ 的真值是多少? $2x$ 存放在 R1 中的机器码是什么? $2x$ 的真值是多少?
- 2) 当 x 是 int 型时, x 的真值是多少? $x/2$ 存放在 R1 中的机器码是什么? $x/2$ 的真值是多少? $2x$ 存放在 R1 中的机器码是什么? $2x$ 的真值是多少?

03. 假设有两个整数 $x = -68$, $y = -80$, 采用补码形式(含 1 位符号位)表示, x 和 y 分别存放在寄存器 A 和 B 中。另外, 还有两个寄存器 C 和 D。B、D 都是 8 位的寄存器。请回答下列问题(要求最终用十六进制表示二进制序列):

- 1) 寄存器 A 和 B 中的内容分别是什么?
- 2) x 和 y 相加后的结果存放在寄存器 C 中, 则寄存器 C 中的内容是什么? 此时, 溢出标志 OF、符号标志 SF 各是什么?
- 3) x 和 y 相减后的结果存放在寄存器 D 中, 寄存器 D 中的内容是什么? 此时, 溢出标志 OF、符号标志 SF 各是什么?

04. 【2011 统考真题】假定在一个 8 位字长的计算机中运行如下 C 程序段：

```
unsigned int x=134;
unsigned int y=246;
int m =x;
int n= y;
unsigned int z1 = x-y;
unsigned int z2 = x+y;
int k1 = m-n;
int k2 = m+n;
```

若编译器编译时将 8 个 8 位寄存器 R1 ~ R8 分别分配给变量 x, y, m, n, z1, z2, k1 和 k2。请回答下列问题(提示:有符号整数用补码表示)。

- 1) 执行上述程序段后, 寄存器 R1、R5 和 R6 的内容分别是什么(用十六进制表示)?
- 2) 执行上述程序段后, 变量 m 和 k1 的值分别是多少(用十进制表示)?
- 3) 上述程序段涉及有符号整数加减、无符号整数加减运算, 这四种运算能否利用同一个加法器辅助电路实现? 简述理由。
- 4) 计算机内部如何判断有符号整数加减运算的结果是否发生溢出? 上述程序段中, 哪些有符号整数运算语句的执行结果会发生溢出?

05. 【2020 统考真题】有实现 $x \times y$ 的两个C语言函数如下:

```
unsigned umul (unsigned x, unsigned y)      { return x*y; }  
int umul (int x, int y)                    { return x*y; }
```

假定某计算机 M 中的 ALU 只能进行加减运算和逻辑运算。请回答下列问题。

- 1) 若M的指令系统中没有乘法指令,但有加法、减法和位移等指令,则在M上也能实现上述两个函数中的乘法运算,为什么?
- 2) 若M的指令系统中有乘法指令,则基于 ALU、位移器、寄存器及相应控制逻辑实现乘法指令时,控制逻辑的作用是什么?
- 3) 针对以下三种情况:a)没有乘法指令;b)有使用 ALU 和位移器实现的乘法指令;c)有使用阵列乘法器实现的乘法指令,函数 umul () 在哪种情况下执行的时间最长?在哪种情况下执行的时间最短?说明理由。
- 4) n 位整数乘法指令可保存 $2n$ 位乘积,当只取低 n 位作为乘积时,其结果可能会发生溢出。当 $n = 32, x = 2^{31} - 1, y = 2$ 时,有符号整数乘法指令和无符号整数乘法指令得到的 $x \times y$ 的 $2n$ 位乘积分别是什么(用十六进制表示)?此时函数 umul () 和 imul () 的返回结果是否溢出?对于无符号整数乘法运算,当仅取乘积的低 n 位作为乘法结果时,如何用 $2n$ 位乘积进行溢出判断?

2.3 浮点数的表示与运算

01. 现有一计算机字长 32 位($D_{31} \sim D_0$), 符号位是第 31 位。对于二进制 1000 1111 1110 1111 1100 0000 0000 0000,

- 1) 表示一个补码整数, 其十进制值是多少?
- 2) 表示一个无符号整数, 其十进制值是多少?
- 3) 表示一个 IEEE754 标准的单精度浮点数, 其值是多少?

02. 假定变量*i*是一个 32 位的 int 型整数, *f*和*d*分别为 float 型(32 位)和 double 型(64 位)实数。分析下列各布尔表达式, 说明结果是否在任何情况下都是“true”。

- | | |
|---|---|
| 1) $i = (\text{int})((\text{double})i)$ | 2) $f = (\text{float})((\text{int})f)$ |
| 3) $f = (\text{float})((\text{double})f)$ | 4) $d = (\text{double})((\text{float})d)$ |

03. 已知两个实数 $x = -68, y = -8.25$, 它们在C语言中定义为 float 型变量, 分别存放在寄存器A和B中。另外, 还有两个寄存器C和D。A、B、C、D都是 32 位的寄存器。请问(要求用十六进制表示二进制序列):

- 1) 寄存器A和B中的内容分别是什么?
- 2) x和y相加后的结果存放在C寄存器中, 寄存器C中的内容是什么?
- 3) x和y相减后的结果存放在D寄存器中, 寄存器D中的内容是什么?

04. 对下列每个 IEEE754 单精度数值, 解释它们所表示的是哪种数字类型(规格化数、非规格化数、无穷大、0)。当它们表示某个具体数值时, 请给出该数值。

- 1) 0000 0000 0000 0000 0000 0000 0000 0000
- 2) 0100 0010 0100 0000 0000 0000 0000 0000
- 3) 1000 0000 0100 0000 0000 0000 0000 0000
- 4) 1111 1111 1000 0000 0000 0000 0000 0000

05. 【2017 统考真题】已知, 计算 $f(n)$ 的C语言函数f如下:

```
int f1(unsigned n){
    int sum=1;power=1;
    for(unsigned i=0;i<n-1;i++){
        power *= 2;
        sum += power;}
    return sum;}
```

将f1中的 int 都改为 float, 可得到计算 $f(n)$ 的另一个函数f2。假设 unsigned 型和 int 型数据都占 32 位, float 型数据采用 IEEE754 单精度标准。请回答下列问题:

- 1) 当 $n = 0$ 时, f1会出现死循环, 为什么?若将f1中的变量i和n都定义为 int 型, 则f1是否还会出现死循环?为什么?
- 2) f1(23)和f2(23)的返回值是否相等?机器数各是什么(用十六进制表示)?
- 3) f1(24)和f2(24)的返回值分别为 33554431 和 33554432.0, 为什么不相等?
- 4) $f(31) = 2^{32} - 1$, 而f1(31)的返回值却为-1, 为什么?若使f1(n)的返回值与f(n)相等, 则最大的n是多少?
- 5) f2(127)的机器数为7F80000H, 对应的值是什么?若使f2(n)的结果不溢出, 则最大的 n 是多少?若使 f2(n) 的结果精确(无舍入), 则最大的 n 是多少?

第3章 存储系统

3.2 主存储器

01. 在显示适配器中,用于存放显示信息的存储器称为刷新存储器,它的重要性能指标是带宽。具体工作中,显示适配器的多个功能部分要争用刷新存储器的带宽。设总带宽 50%用于刷新屏幕,保留50%的带宽用于其他非刷新功能,且采用分辨率为 1024×768 像素、颜色深度为3B、刷新频率为72Hz的工作方式。

- 1) 试计算刷新存储器的总带宽。
- 2) 为达到这样高的刷新存储器带宽,应采取何种技术措施?

02. 一个四体并行交叉存储器,每个模块的容量是 $64K \times 32$ 位,存取周期为200ns,问:

- 1) 在一个存取周期中,存储器能向 CPU 提供多少位二进制信息?
- 2) 若存取周期为400ns,则在 $0.1\mu s$ 内存储器可向CPU提供 32 位二进制信息,该说法正确否?为什么?

03. 设存储器容量为 32 个字, 字长为 64 位, 模块数 $m = 4$, 分别采用顺序方式和交叉方式进行组织。存取周期 $T = 200\text{ns}$, 数据总线宽度为 64 位, 总线传输周期 $r = 50\text{ns}$ 。在连续读出 4 个字的情况下, 求顺序存储器和交叉存储器各自的带宽。

04. 某计算机字长 32 位, 存储体的存储周期为 200ns 。

- 1) 采用四体交叉工作, 用低 2 位的地址作为体地址, 存储数据按地址顺序存放。主机最快多长时间可以读出一个数据字? 存储器的带宽是多少?
- 2) 若 4 个体分别保存主存中前 1/4、次 1/4、再下个 1/4、最后 1/4 这四段的数据, 即选用高 2 位的地址作为体地址, 可以提高存储器顺序读出数据的速度吗? 为什么?
- 3) 若把存储器改成单体 4 字宽度, 会带来什么好处和问题?
- 4) 比较采用四体低位地址交叉的存储器和四端口读出的存储器这两种方案的优缺点。

05. 假定一个存储器系统支持四体交叉存取, 某程序执行过程中访问地址序列为 3,9,17,2,51, 37,13,4,8,41,67,10, 哪些地址访问可能会发生体冲突?

3.3 主存储器与 CPU 的连接

01. 主存储器的地址寄存器和数据寄存器各自的作用是什么? 设一个 1MB 容量的存储器, 机器字长和存储字长均为 32 位, 问:

- 1) 按字节编址, 地址寄存器和数据寄存器各几位? 编址范围为多大?
- 2) 按字编址, 地址寄存器和数据寄存器各几位? 编址范围为多大?

02. 用一个 $512\text{K} \times 8$ 位的 Flash 存储芯片组成一个 $4\text{M} \times 32$ 位的半导体只读存储器, 存储器按字编址, 试回答以下问题:

- 1) 该存储器的数据线数和地址线数分别为多少?
- 2) 共需要几片这样的存储芯片?
- 3) 说明每根地址线的作用。

03. 有一组 $16K \times 16$ 位的存储器, 由 $1K \times 4$ 位的 DRAM 芯片构成(芯片是 32×32 结构)。问:

1) 共需要多少 RAM 芯片?

2) 采用异步刷新方式, 如单元刷新间隔不超过 $2ms$, 则刷新信号周期是多少?

3.4 外部存储器

01. 某个硬磁盘共有 4 个记录面, 存储区域内半径为 $10cm$, 外半径为 $15.5cm$, 道密度为 60 道/ cm , 外层位密度为 $600bit/cm$, 转速为 6000 转/分。

1) 硬磁盘的磁道总数是多少?

2) 硬磁盘的容量是多少?

3) 将长度超过一个磁道容量的文件记录在同一个柱面上是否合理?

4) 采用定长数据块记录格式, 直接寻址的最小单位是什么? 寻址命令中磁盘地址如何表示?

5) 假定每个扇区的容量为 $512B$, 每个磁道有 12 个扇区, 寻道的平均等待时间为 $10.5ms$, 试计算磁盘平均存取一个扇区的时间。

3.5 高速缓冲存储器

01. 假定某处理器可通过软件对高速缓存设置不同的写策略,则在下列两种情况下,应分别设置成什么写策略?为什么?

- 1) 处理器主要运行包含大量存储器写操作的数据访问密集型应用。
- 2) 处理器运行程序的性质与 1) 相同,但安全性要求高得多,不允许有任何数据不一致的情况发生。

02. 某计算机的主存地址位数为 32 位,按字节编址。假定数据 Cache 中最多存放 128 个主存块,采用四路组相联方式,块大小为 64B,每块设置了 1 位有效位。采用随机替换算法,写磁盘采用回写策略,为此每块设置了 1 位“脏”位。要求:

- 1) 分别指出主存地址中标记(Tag),组号(Index)和块内地址(Offset)三部分的位置与位数。
- 2) 计算该数据 Cache 的总位数。

03. 某个 Cache 的容量大小为64KB, 行长为128B, 且是四路组相联 Cache, 主存使用 32 位地址, 按字节编址。

- 1) 该 Cache 共有多少行?多少组?
- 2) 该 Cache 的标记阵列中需要有多少标记项?每个标记项中标记位长度是多少?
- 3) 该 Cache 采用 LRU 替换算法, 若当该 Cache 为写直达式 Cache 时, 标记阵列总共需要多大的存储容量?回写式又该如何?(提示:四路组相联 Cache 使用 LRU 算法的替换控制位为 2 位。)

04. 某计算机有容量为256B的数据 Cache, 主存块大小为32B。现有如下C语言程序段:

```
int i,j,c,s,a[128];
...
for(i=0;i<10000;i++)
    for(j=0;j<128;j=j+s);
    c=a[j];
```

int 型数据用 32 位补码表示, 编译器将变量 i, j, c, s 都分配在通用寄存器中, 因此, 只需考虑数组元素的访存情况, 假定数组起始地址正好在一个主存块的开始。请回答:

- 1) 若 Cache 采用直接映射, 则当s = 64和s = 63时, 缺失率分别为多少?
- 2) 若 Cache 采用 2-路组相联映射, 则当s = 64和s = 63时, 缺失率分别为多少?

05. 【2010 统考真题】某计算机的主存地址空间大小为256MB, 按字节编址。指令 Cache 和数据 Cache 分离, 均有 8 个 Cache 行, 每个 Cache 行大小为 64B, 数据 Cache 采用直接映射方式。现有两个功能相同的程序A和B, 其伪代码如下所示:

<pre>程序 A: int a[256][256]; ... int sum_array1(){ int i,j,sum=0; for(i=0;i<256;i++) for(j=0;j<256;j++) sum += a[i][j]; return sum;}</pre>	<pre>程序 B: int a[256][256]; ... int sum_array2(){ int i,j,sum=0; for(j=0;j<256;j++) for(i=0;i<256;i++) sum += a[i][j]; return sum;}</pre>
---	---

假定 int 型数据用 32 位补码表示, 程序编译时, i、j 和 sum 均分配在寄存器中, 数组 a 按行优先方式存放, 其首地址为 320(十进制数)。请回答下列问题, 要求说明理由或给出计算过程。

- 1) 不考虑用于 Cache 一致性维护和替换算法的控制位, 数据 Cache 的总容量为多少?
- 2) 数组元素 a[0][31]和 a[1][1]各自所在的主存块对应的 Cache 行号是多少 (Cache 行号从 0 开始)?
- 3) 程序 A 和 B 的数据访问命中率各是多少?哪个程序的执行时间更短?

06. 【2013 统考真题】某 32 位计算机, CPU 主频为 800MHz, Cache 命中时的 CPI 为 4, Cache 块大小为 32B; 主存采用 8 体交叉存储方式, 每个体的存储字长为 32 位、存储周期为 40ns; 存储器总线宽度为 32 位, 总线时钟频率为 200MHz, 支持突发传送总线事务。每次读突发传送总线事务的过程包括: 传送首地址和命令、存储器准备数据、传送数据。每次突发传送 32B, 传送地址或 32 位数据均需要一个总线时钟周期。请回答下列问题, 要求给出理由或计算过程。

- 1) CPU 和总线的时钟周期各为多少? 总线的带宽 (即最大数据传输速率) 为多少?
- 2) Cache 缺失时, 需要用几个读突发传送总线事务来完成一个主存块的读取?
- 3) 存储器总线完成一次读突发传送总线事务所需的时间是多少?
- 4) 若程序 BP 执行过程中共执行了 100 条指令, 平均每条指令需进行 1.2 次访存, Cache 缺失率为 5%, 不考虑替换等开销, 则 BP 的 CPU 执行时间是多少?

07. 【2020 统考真题】假定主存地址为 32 位, 按字节编址, 指令 Cache 和数据 Cache 与主存之间均采用 8 路组相联映射方式, 直写 (WriteThrough) 写策略和 LRU 替换算法, 主存块大小为 64B, 数据区容量各为 32KB。开始时 Cache 均为空。请回答下列问题。

1) Cache 每一行中标记 (Tag)、LRU 位各占几位? 是否有修改位?

2) 有如下 C 语言程序段:

```
for(k=0;k<1024;k++)  
s[k] = 2*s[k];
```

若数组 s 及其变量 k 均为 int 型, int 型数据占 4B, 变量 k 分配在寄存器中, 数组 s 在主存中的起始地址为 008000C0H, 则在该程序段执行过程中, 访问数组 s 的数据 Cache 缺失次数为多少?

3) 若 CPU 最先开始的访问操作是读取主存单元 00010003H 中的指令, 简要说明从 Cache 中访问该指令的过程, 包括 Cache 缺失处理过程。

3.6 虚拟存储器

01. 某计算机系统采用虚拟页式存储管理, 某个进程的页表见下表, 每项的起始编号是 0, 所有的地址均按字节编址, 每页大小为1024B。分别将逻辑地址0793,1197,2099,3320, 4188, 5332, 转换为物理地址, 写出计算过程, 对不能计算的说明为什么。

逻辑页号	存在位	引用位	修改位	页框号
0	1	1	0	4
1	1	1	1	3
2	0	0	0	—
3	1	0	0	1
4	0	0	0	—
5	1	0	1	5

02. 下图表示使用快表(页表)的虚实地址转换条件, 快表存放在相联存储器中, 其容量为 8 个存储单元。

页号	该页在主存中的起始位置
32	42000
25	38000
7	96000
6	60000
4	40000
15	80000
5	50000
34	70000

虚拟地址	页号	页内地址
1	15	0324
2	7	0128
3	48	0516

- 1) 当 CPU 按虚拟地址 1 去访问主存时, 主存的实地址码是多少?
- 2) 当 CPU 按虚拟地址 2 去访问主存时, 主存的实地址码是多少?
- 3) 当 CPU 按虚拟地址 3 去访问主存时, 主存的实地址码是多少?

03. 一个两级存储器系统有 8 个磁盘上的虚拟页面需要映像到主存中的 4 个页中。某程序生成以下访存页面序列:1,0,2,2,1,7,6,7,0,1,2,0,3,0,4,5,1,5,2,4,5,6,7,6,7,2,4,2,7,3。采用 LRU 替换策略,设初始时主存为空。

1) 画出每个页号访问请求之后存放在主存中的位置。

2) 计算主存的命中率。

04. 【2011 统考真题】某计算机存储器按字节编址, 虚拟 (逻辑) 地址空间大小为 16MB, 主存 (物理) 地址空间大小为 1MB, 页面大小为 4KB; Cache 采用直接映射方式, 共 8 行; 主存与 Cache 之间交换的块大小为 32B。系统运行到某一时刻时, 页表的部分内容和 Cache 的部分内容分别如下的左图和右图所示, 图中页框号及标记字段的内容为十六进制形式。

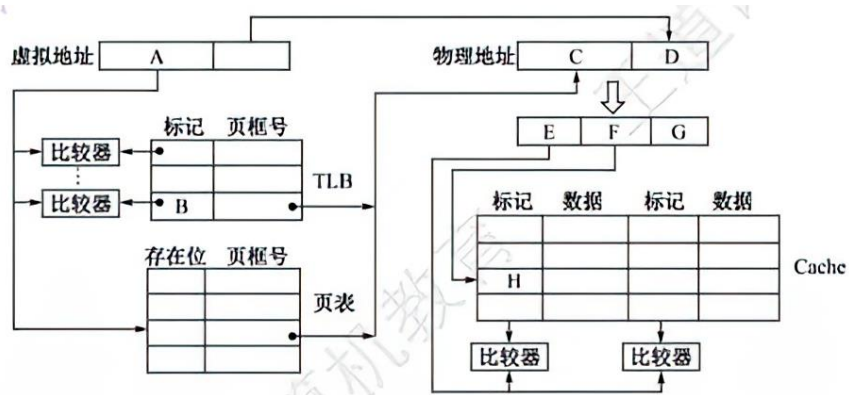
虚页号	有效位	页框号	...	行号	有效位	标记	...
0	1	06	...	0	1	020	...
1	1	04	...	1	0	—	...
2	1	15	...	2	1	01D	...
3	1	02	...	3	1	105	...
4	0	—	...	4	1	064	...
5	1	2B	...	5	1	14D	...
6	0	—	...	6	0	—	...
7	1	32	...	7	1	27A	...

回答下列问题:

- 1) 虚拟地址共有几位, 哪几位表示虚页号? 物理地址共有几位, 哪几位表示页框号 (物理页号)?
- 2) 使用物理地址访问 Cache 时, 物理地址应划分成哪几个字段? 要求说明每个字段的位数及在物理地址中的位置。
- 3) 虚拟地址 001C60H 所在的页面是否在主存中? 若在主存中, 则该虚拟地址对应的物理地址是什么? 访问该地址时是否 Cache 命中? 要求说明理由。
- 4) 假定为该机配置一个四路组相联的 TLB, 共可存放 8 个页表项, 若其当前内容 (十六进制) 如下图所示, 则此时虚拟地址 024BACH 所在的页面是否存在主存中? 要求说明理由。

组号	有效位	标记	页框号	有效位	标记	页框号	有效位	标记	页框号	有效位	标记	页框号
0	0	—	—	1	001	15	0	—	—	1	012	1F
1	1	013	2D	0	—	—	1	008	7E	0	—	—

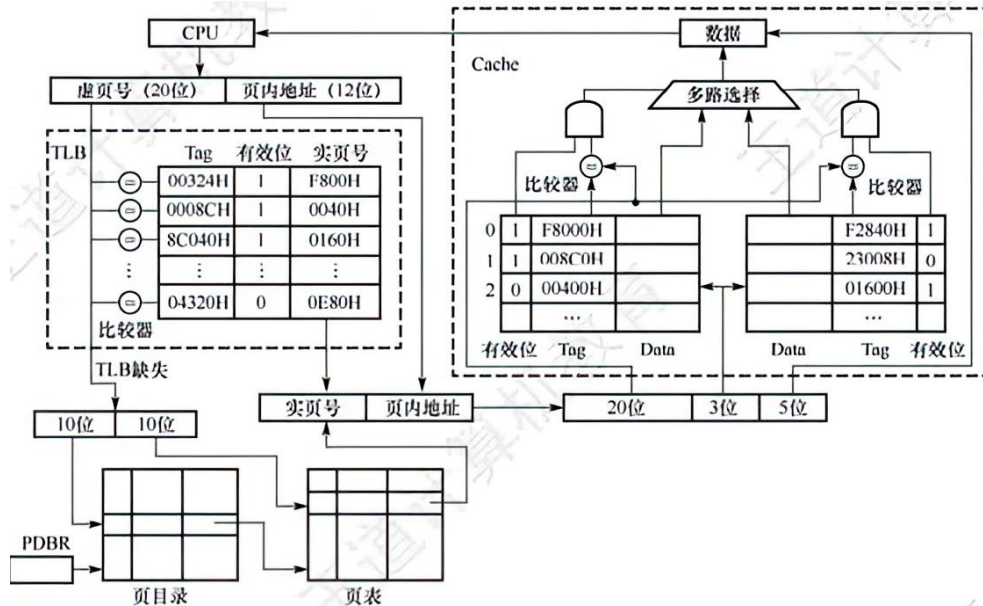
05. 【2016 统考真题】某计算机采用页式虚拟存储管理方式,按字节编址,虚拟地址为 32 位,物理地址为 24 位,页大小为 8KB;TLB 采用全相联映射;Cache 数据区大小为 64KB,按二路组相联方式组织,主存块大小为 64B。存储访问过程的示意图如下。



回答下列问题:

- 1) 图中字段 A、G 的位数各是多少? TLB 标记字段 B 中存放的是什么信息?
- 2) 将块号为 4099 的主存块装入 Cache 时, 所映射的 Cache 组号是多少? 对应的 H 字段内容是什么?
- 3) 是 Cache 缺失处理的时间开销大还是缺页处理的时间开销大? 为什么?
- 4) 为什么 Cache 可以采用直写策略, 而修改页面内容时总是采用回写策略?

06. 【2018 统考真题】某计算机采用页式虚拟存储管理方式，按字节编址。CPU 进行存储访问的过程如下图所示。根据该图回答下列问题。



- 1) 主存物理地址占多少位?
- 2) TLB 采用什么映射方式? TLB 是用 SRAM 还是用 DRAM 实现?
- 3) Cache 采用什么映射方式? 若 Cache 采用 LRU 替换算法和回写策略, 则 Cache 每行中除数据 (Data)、Tag 和有效位外, 还应有哪些附加位? Cache 总容量是多少? Cache 中有效位的作用是什么?
- 4) 若 CPU 给出的虚拟地址为 0008C040H, 则对应的物理地址是多少? 是否在 Cache 中命中? 说明理由。若 CPU 给出的虚拟地址为 0007C260H, 则该地址所在主存块映射到的 Cache 组号是多少?

07. 【2021 统考真题】假设计算机 M 的主存地址为 24 位, 按字节编址;采用分页存储管理方式, 虚拟地址为 30 位, 页大小为4KB;TLB 采用二路组相联方式和 LRU 替换策略, 共 8 组。请回答下列问题。

- 1) 虚拟地址中哪几位表示虚页号?哪几位表示页内地址?
- 2) 已知访问 TLB 时虚页号高位部分用作 TLB 标记, 低位部分用作 TLB 组号, M 的虚拟地址中哪几位是 TLB 标记?哪几位是 TLB 组号?
- 3) 假设 TLB 初始时空, 访问的虚页号依次为10,12,16,7,26,4,12和 20, 在此过程中, 哪一个虚页号对应的 TLB 表项被替换?说明理由。
- 4) 若将 M 中的虚拟地址位数增加到 32 位, 则 TLB 表项的位数增加几位?

08. 【2023 统考真题】已知计算机 M 的字长为 32 位,按字节编址,采用请求调页策略的虚拟存储管理方式,虚拟地址为 32 位,页大小为 4KB;数据 Cache 采用 4 路组相联映射方式,数据区大小为 8KB,主存块大小为 32B。现有 C 语言程序段如下:

```
int a[24][64];
...
for(i=0;i<24;i++)
    for(j=0;j<64;j++)
        a[i][j]=10;
```

已知二维数组 a 按行优先存放,在虚拟地址空间中分配的起始地址为 0042 2000H, sizeof(int) = 4,假定在 M 上执行上述程序段之前数组 a 不在主存,且在该程序段执行过程中不会发生页面置换。请回答下列问题:

- 1) 数组 a 分布在几个页面中?对于数组 a 的访问,会发生几次缺页异常?页故障地址各是什么?
- 2) 不考虑变量 i 和 j, 该程序段的数据访问是否具有时间局部性?为什么?
- 3) 计算机 M 的虚拟地址 (A31-A0) 中哪几位用作块内地址?哪几位用作 Cache 组号? a[1][0] 的虚拟地址是多少?其所在主存块对应的 Cache 组号是多少?
- 4) 数组 a 占用多少主存块?假设上述程序段执行过程中数组 a 的访问不会和其他数据发生 Cache 访问冲突,则数组 a 的 Cache 命中率是多少?若将循环中 i 和 j 的次序按如下方式调换:

```
for (j=0;j<64;j++)
    for(i=0;i<24;i++)
        a[i][j]=10;
```

则数组 a 的 Cache 命中率又是多少?

第4章 指令系统

4.1 指令系统

01. 一个处理器中共有 32 个寄存器, 使用 16 位立即数, 其指令系统结构中共有 142 条指令。在某个给定的程序中, 20% 的指令带有一个输入寄存器和一个输出寄存器; 30% 的指令带有两个输入寄存器和一个输出寄存器; 25% 的指令带有一个输入寄存器、一个输出寄存器、一个立即数寄存器; 其余 25% 的指令带有一个立即数输入寄存器和一个输出寄存器。

1) 对于以上 4 种指令类型中的任意一种指令类型来说, 共需要多少位? 假定指令系统结构要求所有指令长度必须是 8 的整数倍。

2) 与使用定长指令集编码相比, 当采用变长指令集编码时, 该程序能够少占用多少存储器空间?

02. 假设指令字长为 16 位, 操作数的地址码为 6 位, 指令有零地址、一地址、二地址 3 种格式。

1) 设操作码固定, 若零地址指令有 M 种, 一地址指令有 N 种, 则二地址指令最多有几种?

2) 采用扩展操作码技术, 二地址指令最多有几种?

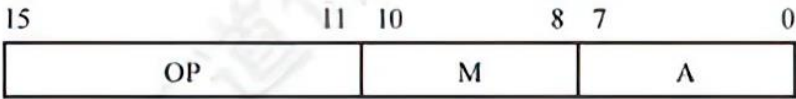
3) 采用扩展操作码技术, 若二地址指令有 P 条, 零地址指令有 Q 条, 则一地址指令最多有几种?

03. 在一个 36 位长的指令系统中, 设计一个扩展操作码, 使之能表示下列指令:

- 1) 7 条具有两个 15 位地址和一个 3 位地址的指令。
- 2) 500 条具有一个 15 位地址和一个 3 位地址的指令。
- 3) 50 条无地址指令。

4.2 指令的寻址方式

01. 某机字长为 16 位, 存储器按字编址, 访问内存指令格式如下:



其中, OP 为操作码, M 为寻址特征, A 为形式地址。设 PC 和 Rx 分别为程序计数器和变址寄存器, 字长为 16 位, 问:

- 1) 该指令能定义多少种指令?
- 2) 下表中各种寻址方式的寻址范围为多少?
- 3) 写出下表中各种寻址方式的有效地址 EA 的计算公式。

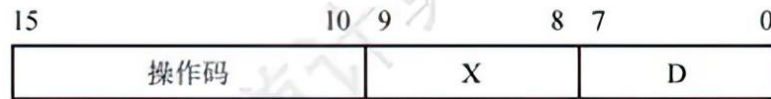
寻 址 方 式	有效地址 EA 的计算公式	寻 址 范 围
直接寻址		
间接寻址		
变址寻址		
相对寻址		

02. 一条双字长的 LOAD 指令存储在地址为 200 和 201 的存储位置, 该指令将指定的内容装入累加器 (ACC) 中。指令的第一个字指定操作码和寻址方式, 第二个字是地址部分。主存内容示意图如下图所示。PC 值为 200, R1 值为 400, XR (变址寄存器) 值为 100。指令的寻址方式字段可指定任何一种寻址方式。请在下列寻址方式中, 分析装入 ACC 的值为多少。

- 1) 直接寻址。
- 2) 立即寻址。
- 3) 间接寻址。
- 4) 相对寻址。
- 5) 变址寻址。
- 6) 寄存器 R1 寻址。
- 7) 寄存器 R1 间接寻址。

地址	主存	
200	LOAD	MOD
201	500	
202		
300	450	
400	700	
500	800	
600	900	
702	325	
800	300	

03. 某机的机器字长为 16 位, 主存按字编址, 指令格式如下:



其中, D 为位移量; X 为寻址特征位。

X = 00: 直接寻址。

X = 01: 用变址寄存器 X1 进行变址。

X = 10: 用变址寄存器 X2 进行变址。

X = 11: 相对寻址。

设(PC) = 1234H, (X1) = 0037H, (X2) = 1122H (H代表十六位进制数), 请确定下列指令的有效地址:

- ①4420H ②2244H ③1322H ④3521H ⑤6723H

04. 某计算机字长 16 位, 标志寄存器 FLAGS 中的 ZF、SF 和 OF 分别是零标志、符号标志和溢出标志, 采用双字节字长指令字。假定 bgt (大于零转移) 指令的第一个字节指明操作码和寻址方式, 第二个字节为偏移地址 Imm8, 用补码表示。指令功能是: 若 $(ZF + (SF \oplus OF) = 0)$, 则 $PC = PC + 2 + Imm8 \times 2$; 否则, $PC = PC + 2$ 。

请回答下列问题:

- 1) 该计算机的编址单位是多少?
- 2) bgt 指令执行的是有符号整数比较, 还是无符号整数比较?
- 3) 偏移地址 Imm8 的含义是什么? 转移目标地址的范围是什么?

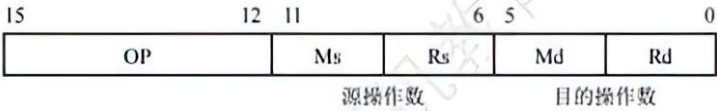
05. 一条双字长的取数指令(LDA)存于存储器的 200 和 201 单元, 其中第一个字为操作码 OP 和寻址特征 M, 第二个字为形式地址 A。假设 PC 的当前值为 200, 变址寄存器 IX 的内容为 100, 基址寄存器的内容为 200, 存储器相关单元的内容如下表所示:

地址	201	300	400	401	500	501	502	700
内容	300	400	700	501	600	700	900	401

下表的各列分别为寻址方式、该寻址方式下的有效地址及取数指令执行结束后累加器(AC)的内容, 试补全下表:

寻址方式	有效地址(EA)	累加器(AC)的内容
立即寻址		
直接寻址		
间接寻址		
相对寻址		
变址寻址		
基址寻址		
先变址后间址		
先间址后变址		

06. 【2010 统考真题】某计算机字长为 16 位, 主存地址空间大小为 128KB, 按字编址, 采用单字长指令格式, 指令各字段定义如下:



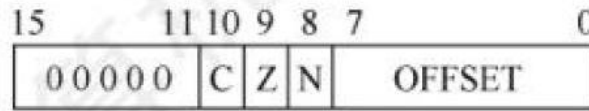
转移指令采用相对寻址方式, 相对偏移量用补码表示, 寻址方式定义见下表.

Ms/Md	寻 址 方 式	助 记 符	含 义
000B	寄存器直接	Rn	操作数 = (Rn)
001B	寄存器间接	(Rn)	操作数 = ((Rn))
010B	寄存器间接、自增	(Rn) +	操作数 = ((Rn)), (Rn) + 1 → Rn
011B	相对	D(Rn)	转移目标地址 = (PC) + (Rn)

回答下列问题:

- 1) 该指令系统最多可有多少条指令?该计算机最多有多少个通用寄存器?存储器地址寄存器 (MAR) 和存储器数据寄存器 (MDR) 至少各需要多少位?
- 2) 转移指令的目标地址范围是多少?
- 3) 若操作码 0010 B 表示加法操作 (助记符为 add), 寄存器 R4 和 R5 的编号分别为 100B 和 101B, R4 的内容为 1234H, R5 的内容为 5678H, 地址 1234H 中的内容为 5678H, 5678H 中的内容为 1234H, 则汇编语句 “add (R4), (R5)+” (逗号前为源操作数, 逗号后为目的操作数) 对应的机器码是什么 (用十六进制表示)?该指令执行后, 哪些寄存器和存储单元的内容会改变?改变后的内容是什么?

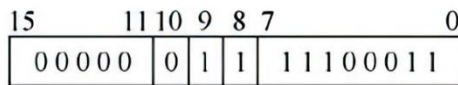
07. 【2013 统考真题】某计算机采用 16 位定长指令字格式,其 CPU 中有一个标志寄存器,其中包含进位/借位标志 CF、零标志 ZF 和符号标志 NF。假定为该机设计了条件转移指令,其格式如下:



其中,00000 为操作码 OP;C、Z 和 N 分别为 CF、ZF 和 NF 的对应检测位,某检测位为 1 时表示需检测对应标志,需检测的标志位中只要有一个为 1 就转移,否则不转移。例如,若 $C = 1, Z = 0, N = 1$,则需检测 CF 和 NF 的值,当 $CF = 1$ 或 $NF = 1$ 时发生转移;OFFSET 是相对偏移量,用补码表示。转移执行时,转移目标地址为 $(PC) + 2 + 2 \times \text{OFFSET}$;顺序执行时,下一条指令地址为 $(PC) + 2$ 。请回答下列问题:

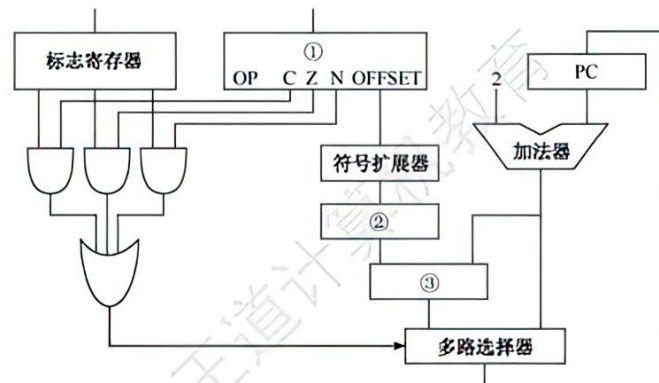
1) 该计算机存储器是按字节编址还是按字编址?该条件转移指令向后(反向)最多可跳转多少条指令?

2) 某条件转移指令的地址为 200CH,指令内容如下图所示,若该指令执行时 $CF = 0, ZF = 0, NF = 1$,则该指令执行后 PC 的值是多少?若该指令执行时 $CF = 1, ZF = 0, NF = 0$,则该指令执行后 PC 的值又是多少?请给出计算过程。

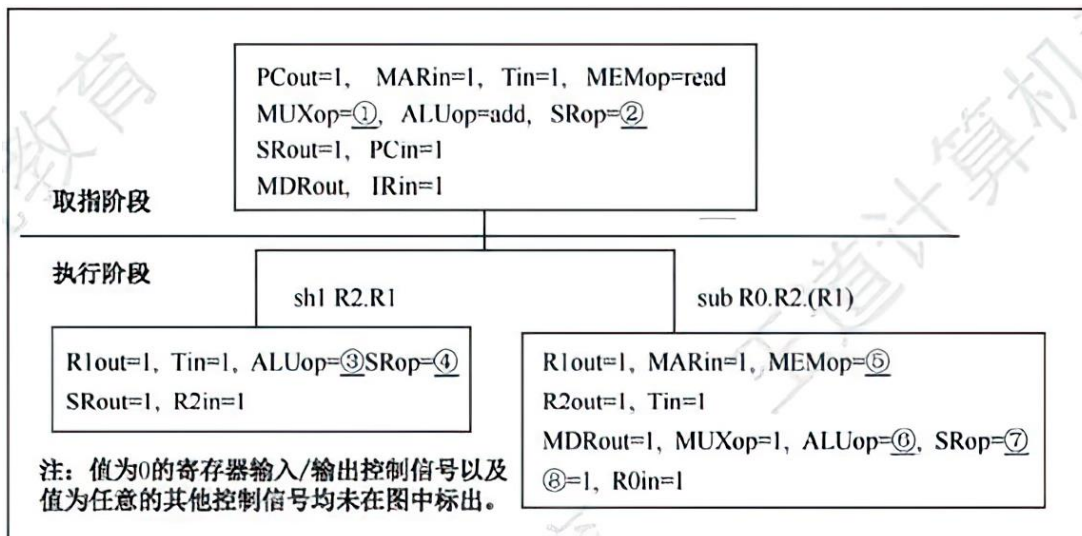


3) 实现“无符号数比较小于或等于时转移”功能的指令中,C、Z 和 N 应各是什么?

4) 以下是该指令对应的数据通路示意图,要求给出图中部件(1)–(3)的名称或功能说明。



08. 【2015 统考真题】题中描述的计算机,某部分指令执行过程的控制信号如下所示。



该机指令格式如下图所示, 支持寄存器直接和寄存器间接两种寻址方式, 寻址方式位分别为 0 和 1, 通用寄存器 R0 ~ R3 的编号分别为 0,1,2 和 3。



回答下列问题:

- 1) 该机的指令系统最多可定义多少条指令?
- 2) 假定 inc、shl 和 sub 指令的操作码分别为 01H、02H 和 03H, 则以下指令对应的机器代码各是什么?

- ① inc R1 ; (R1)+1 →
- ② shl R2,R1 ; (R1) << 1 → R2
- ③ sub R3,(R1),R2 ; ((R1))-(R2) → R3

3) 假设寄存器 X 的输入和输出控制信号分别为 Xin 和 Xout, 其值为 1 表示有效, 为 0 表示无效 (如 PCout=1 表示 PC 内容送总线); 存储器控制信号为 MEMop, 用于控制存储器的读 (read) 和写 (write) 操作。写出本题第一幅图中标号①至⑧处的控制信号或控制信号的取值。

4) 指令 “sub R1, R3, (R2)” 和 “inc R1” 的执行阶段至少各需要多少个时钟周期?

09. 【2021 统考真题】假定计算机 M 字长为 16 位,按字节编址,连接 CPU 和主存的系统总线中地址线为 20 位、数据线为 8 位,采用 16 位定长指令字,指令格式及说明如下:

格式	6 位	2 位	2 位	2 位	4 位	指令功能或指令类型说明
R 型	000000	rs	rt	rd	op1	$R[rd] \leftarrow R[rs] \text{ op1 } R[rt]$
I 型	op2	rs	rt	imm		含ALU运算、条件转移和访存操作3类指令
J 型	op3	target				PC 的低 10 位 \leftarrow target

其中, op1-op3 为操作码, rs, rt 和 rd 为通用寄存器编号, $R[r]$ 表示寄存器 r 的内容, imm 为立即数, target 为转移目标的形式地址。请回答下列问题。

- 1) ALU 的宽度是多少位?可寻址主存空间大小为多少字节?指令寄存器、主存地址寄存器(MAR)和主存数据寄存器(MDR)分别应有多少位?
- 2) R 型格式最多可定义多少种操作?I 型和 J 型格式总共最多可定义多少种操作?通用寄存器最多有多少个?
- 3) 假定 op1 为 0010 和 0011 时,分别表示有符号整数减法和有符号整数乘法指令,则指令 01B2H 的功能是什么(参考上述指令功能说明的格式进行描述)?若 1,2,3 号通用寄存器当前内容分别为 B052H, 0008H, 0020H, 则分别执行指令 01B2H 和 01B3H 后, 3 号通用寄存器内容各是什么?各自结果是否溢出?
- 4) 若采用 I 型格式的访存指令中 imm(偏移量)为有符号整数,则地址计算时应对 imm 进行零扩展还是符号扩展?
- 5) 无条件转移指令可以采用上述哪种指令格式?

4.3 程序的机器级代码表示

01. 【2017 统考真题】在按字节编址的计算机 M 上, f1 的部分源程序 (阴影部分) 如下。将f1中的 int 都改成 float, 可得到计算f(n)的另一个函数f2。

```
int f1(unsigned n){
int sum = 1; power = 1;
for(unsigned =0;i<=n-1;i++){
    power *=2;
    sum += power;}
return sum;}
```

对应的机器级代码 (包括指令的虚拟地址) 如下:

	int f1(unsigned n)		
1	00401020	55	push ebp

	for(unsigned i=0;i<=n-1;i++)		

20	0040105E	39 4D F4	cmp dword ptr[ebp-0Ch],ecx

	power *= 2;		

23	00401066	D1 E2	shl cdx,1

	return sum;		

其中，机器级代码行包括行号、虚拟地址、机器指令和汇编指令。

- 1) 计算机 M 是 RISC 还是 CISC?为什么?
- 2) f1的机器指令代码共占多少字节?要求给出计算过程。
- 3) 第 20 条指令 cmp 通过 i 减 n-1 实现对i和n-1的比较。执行f1(0)的过程中, 当i=0时, cmp 指令执行后, 进位/借位标志 CF 的内容是什么?要求给出计算过程。
- 4) 第 23 条指令 shl 通过左移操作实现了 power*2 运算, 在 f2 中能否用 shl 指令实现 power*2? 为什么?

02. 【2019 统考真题】已知 $f(n) = n! = n \times (n-1) \times (n-2) \times \cdots \times 2 \times 1$, 计算 $f(n)$ 的 C 语言函数 f 的源程序(阴影部分)及其在 32 位计算机 M 上的部分机器级代码如下:

int	f1(int n){				
1	00401000	55		push	ebp
...
	if(n>1)				
11	00401018	83 7D 08 01	cmp	dword ptr [ebp+8],1	
12	0040101C	7E 17	jle	f1+35h (00401035)	
	return n*f1(n-1);				
13	0040101E	8B 45 08	mov	eax, dword ptr [ebp+8]	
14	00401021	83 E8 01	sub	eax, 1	
15	00401024	50	push	eax	
16	00401025	E8 D6 FF FF FF	call	f1 (00401000)	
...
19	00401030	0F AF C1	imul	eax, ecx	
20	00401033	EB 05	jmp	f1+3Ah (0040103a)	
	else return 1;				
21	00401035	B8 01 00 00 00	mov	eax, 1	
)					
...
26	00401040	3B EC	cmp	ebp, esp	
...
30	0040104A	C3	ret		

其中, 机器级代码行包括行号、虚拟地址、机器指令和汇编指令, 计算机 M 按字节编址, int 型数据占 32 位。请回答下列问题:

- 1) 计算 $f(10)$ 需要调用函数 $f1$ 多少次? 执行哪条指令会递归调用 $f1$?
- 2) 上述代码中, 哪条指令是条件转移指令? 哪几条指令一定会使程序跳转执行?
- 3) 根据第 16 行的 `call` 指令, 第 17 行指令的虚拟地址应是多少? 已知第 16 行的 `call` 指令采用相对寻址方式, 该指令中的偏移量应是多少(给出计算过程)? 已知第 16 行的 `call` 指令的后 4 字节为偏移量, M 是采用大端方式还是采用小端方式?
- 4) $f(13) = 6227020800$, 但 $f1(13)$ 的返回值为 1932053504, 为什么两者不相等? 要使 $f1(13)$ 能返回正确的结果, 应如何修改 $f1$ 的源程序?
- 5) 第 19 行的 `imul` 指令(有符号整数乘)的功能是 $R[ecx] \leftarrow R[ecx] \times R[ecx]$, 当乘法器输出的高、低 32 位乘积之间满足什么条件时, 溢出标志 `OF=1`? 要使 CPU 在发生溢出时转异常处理, 编译器应在 `imul` 指令后加一条什么指令?

03. 【2019 统考真题】对于题 2, 若计算机 M 的主存地址为 32 位, 采用分页存储管理方式, 页大小为 4KB, 则第 1 行的 push 指令和第 30 行的 ret 指令是否在同一页中(说明理由)? 若指令 Cache 有 64 行, 采用 4 路组相联映射方式, 主存块大小为 64B, 则 32 位主存地址中, 哪几位表示块内地址? 哪几位表示 Cache 组号? 哪几位表示标记(tag)信息? 读取第 16 行的 call 指令时, 只可能在指令 Cache 的哪一组中命中(说明理由)?

04. 【2023 统考真题】某 C 语言程序段在计算机 M 上的部分机器级代码如下，数组 a 的定义为“inta[24][64];”，每个机器级代码行中依次包含指令序号、虚拟地址、机器指令和汇编指令。

for (i = 0; i < 24; i++)			
1	00401072	C7 45 F8 00 00 00 00	mov [ebp-8], 0
2	00401079	EB 09	jmp 00401084h
3	0040107B	8B 55 F8	mov ecx, [ebp-8]
.....
7	00401088	7D 32	jge 004010bch
for (j = 0; j < 64; j++)			
8	0040108A	C7 45 FC 00 00 00 00	mov [ebp-4], 0
.....
a[i][j] = 10;			
.....
19	004010AE	C7 84 82 00 20 42 00 0A 00 00 00	mov [ecx+edx*4+00422000h], 0Ah
20

请回答下列问题。

- 1) 第 20 条指令的虚拟地址是多少?
- 2) 已知第 2 条 jmp 和第 7 条 jge 都是跳转指令, 其操作码分别是EBH和7DH, 跳转目标地址分别为00401084H、004010BCH, 这两条指令都采用什么寻址方式?给出第 2 条指令jmp的跳转目标地址计算过程。
- 3) 已知第 19 条 mov 指令的功能为“a[i][j]+-10”, 其中 ecx 和 edx 为寄存器名, 00422000H 是数组 a 的首地址, 指令中源操作数采用什么寻址方式?已知 edx 中存放的是变量 j, ecx 中存放的是什么?根据该指令的机器码判断 M 采用的是大端还是小端方式。
- 4) 第一次执行第 19 条指令时, 取指令过程中是否会发生缺页异常?为什么?

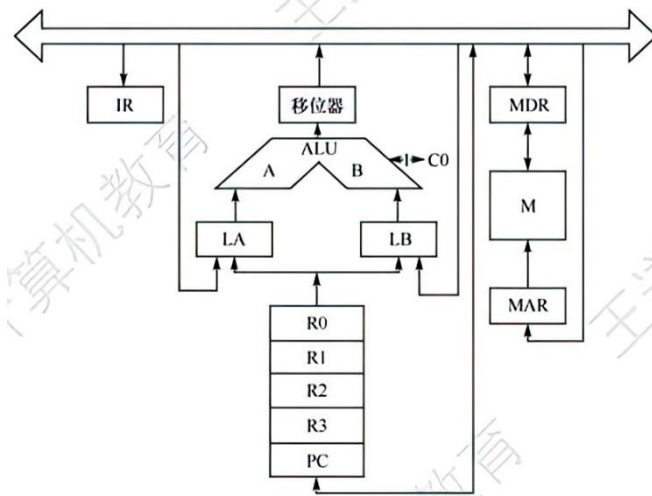
第 5 章中央处理器

5.1CPU 的功能和基本结构

01. CPU 中有哪些专用寄存器?

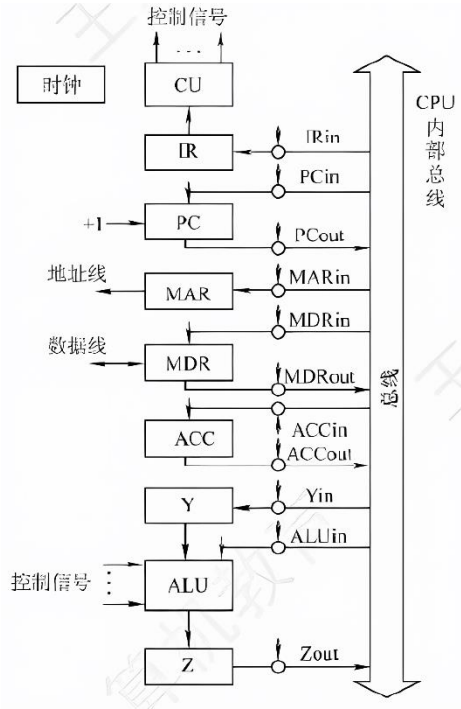
5.3 数据通路的功能和基本结构

01. 某计算机的数据通路结构如下图所示, 写出实现 ADDR1, (R2) 的微操作序列(取指令及指令执行的过程, 包括 PC 自增的过程)。

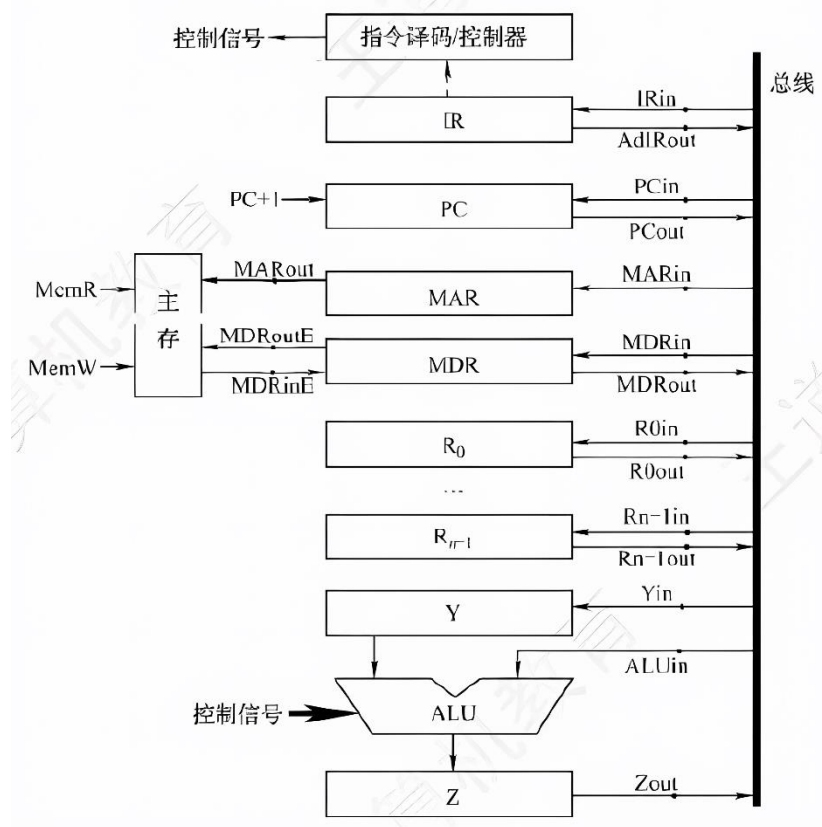


02. 设CPU内部结构如下图所示, 此外还设有B、C、D、E、H、L六个寄存器(图中未画出), 它们各自的输入端和输出端都与内部总线相通, 并分别受控制信号控制(如 Bin 受寄存器 B 的输入控制; Bout 受寄存器 B 的输出控制), 假设 ALU 的结果直接送入寄存器 Z。要求从取指令开始, 写出完成下列指令的微操作序列及所需的控制信号。

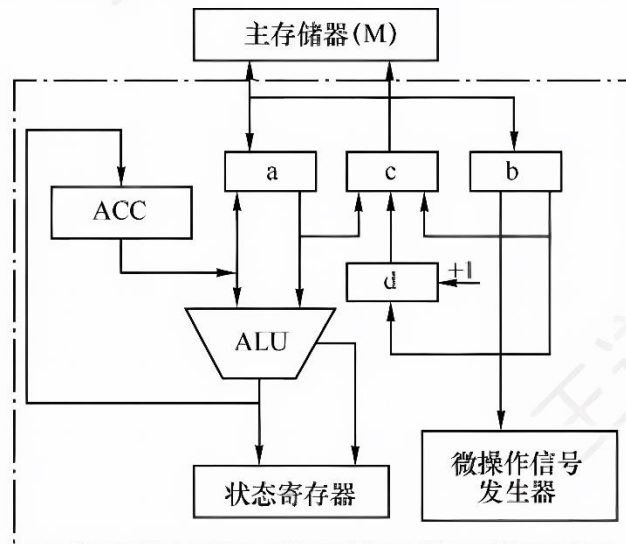
ADD	B, C	$(B)+(C) \rightarrow B$
SUB	ACC, H	$(ACC)-(H) \rightarrow ACC$



03. 设有如下图所示的单总线结构, 分析指令 $\text{ADD}(\text{R0}), \text{R1}$ [即实现 $((\text{R0})) + (\text{R1}) \rightarrow (\text{R0})$] 的指令流程和控制信号。



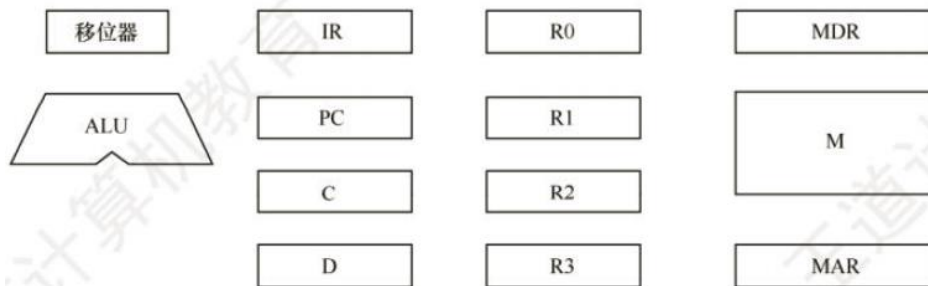
04. 下图是一个简化的 CPU 与主存连接结构示意图(图中省略了所有的多路选择器)。其中有一个累加寄存器 (ACC)、一个状态数据寄存器和其他 4 个寄存器:主存地址寄存器 (MAR)、主存数据寄存器 (MDR)、程序寄存器 (PC) 和指令寄存器 (IR), 各部件及其之间的连线表示数据通路, 箭头表示信息传递方向。



要求:

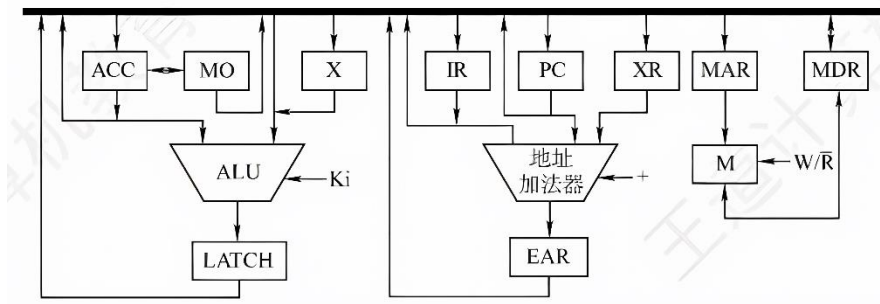
- 1) 请写出图中 a、b、c、d 四个寄存器的名称。
- 2) 简述图中取指令的数据通路。
- 3) 简述数据在运算器和主存之间进行存/取访问的数据通路(假设地址已在 MAR 中)。
- 4) 简述完成指令 LDAX 的数据通路(X 为主存地址, LDA 的功能为 $(X) \rightarrow \text{ACC}$)
- 5) 简述完成指令 ADDY 的数据通路(Y 为主存地址, ADD 的功能为 $(\text{ACC}) + (Y) \rightarrow \text{ACC}$)。
- 6) 简述完成指令 STAZ 的数据通路(Z 为主存地址, STA 的功能为 $(\text{ACC}) \rightarrow Z$)。

05. 某机主要功能部件如下图所示, 其中 M 为主存, MDR 为主存数据寄存器, MAR 为主存地址寄存器, IR 为指令寄存器, PC 为程序计数器(并假设当前指令地址在 PC 中), R0 ~ R3 为通用寄存器, C、D 为暂寄存器。



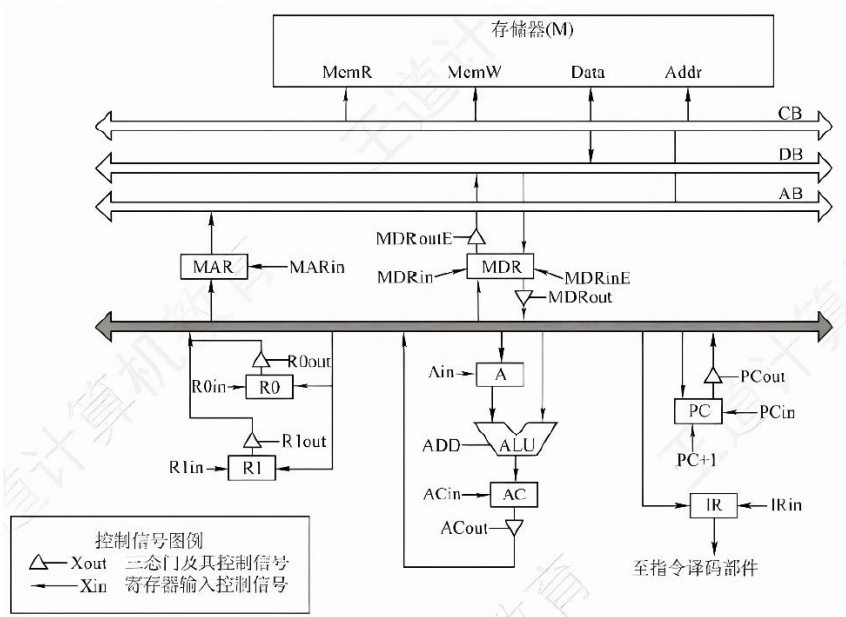
- 1) 请补充各部件之间的主要连接线(总线自己画), 并注明数据流动方向。
- 2) 画出“ADD(R1), (R2)+”指令周期流程图, 该指令的含义是进行求和运算, 源操作数地址在 R1 中, 目标操作数寻址方式为自增型寄存器间接寻址方式(先取地址后加 1), 并将相加结果写回 R2 寄存器。

06. 已知单总线计算机结构如下图所示, 其中 M 为主存, XR 为变址寄存器, EAR 为有效地址寄存器, LATCH 为暂存器。假设指令地址已存在于 PC 中, 请给出 ADDX, D 指令周期信息流程和相应的控制信号。说明:



- 1) ADDX, D 指令字中, X 为变址寄存器 XR, D 为形式地址, 指令的功能是将变址寻址得到的操作数和 ACC 中的操作数相加, 结果送回 ACC。
- 2) 寄存器的输入/输出均采用控制信号控制, 如 PC_i 表示 PC 的输入控制信号, MDR_o 表示 MDR 的输出控制信号。
- 3) 凡需要经过总线的传送, 都需要注明, 如 (PC) \rightarrow MAR, 相应的控制信号为 PC_o 和 MAR_i 。

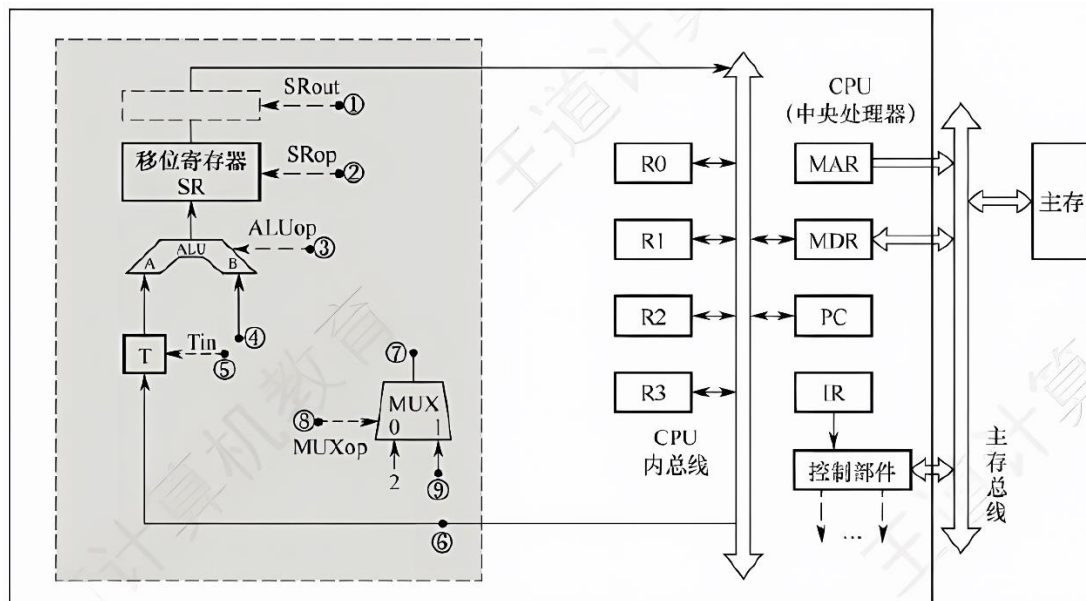
07. 【2009 统考真题】某计算机字长 16 位,采用 16 位定长指令字结构,部分数据通路结构如下图所示。图中所有控制信号为 1 时表示有效,为 0 时表示无效。例如,控制信号 MDRinE 为 1 表示允许数据从 DB 打入 MDR,MDRin 为 1 表示允许数据从总线打入 MDR。假设 MAR 的输出一直处于使能状态。加法指令“ADD(R1),R0”的功能为 $(R0) + ((R1)) \rightarrow (R1)$,即将 R0 中的数据与 R1 的内容所指主存单元的数据相加,并将结果送入 R1 的内容所指主存单元中保存。



下表给出了上述指令取指和译码阶段每个节拍(时钟周期)的功能和有效控制信号,请按表中描述方式用表格列出指令执行阶段每个节拍的功能和有效控制信号。

时 钟	功 能	有效控制信号
C1	$MAR \leftarrow (PC)$	PCout, MARin
C2	$MDR \leftarrow M(MAR)$ $PC \leftarrow (PC) + 1$	MemR, MDRinE PC + 1
C3	$IR \leftarrow (MDR)$	MDRout, IRin
C4	指令译码	无

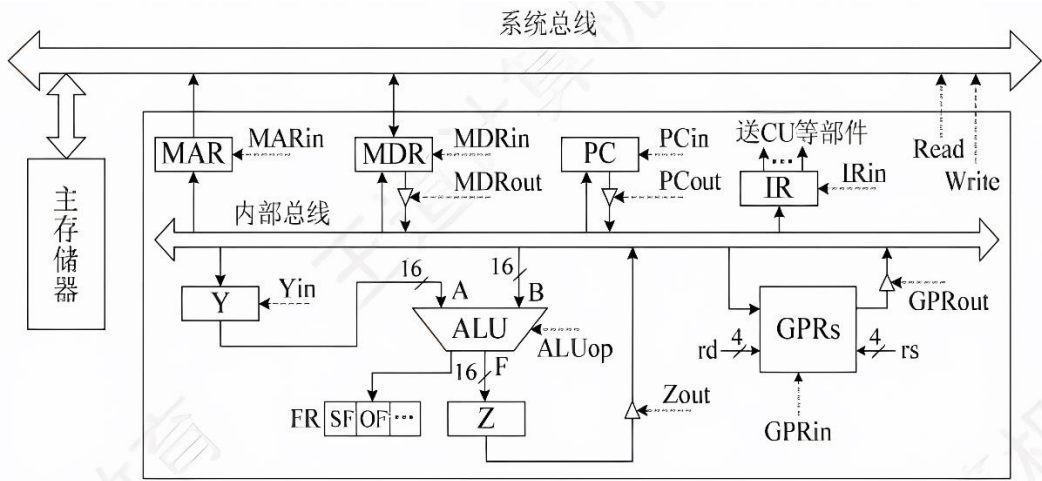
08. 【2015 统考真题】某 16 位计算机的主存按字节编码, 存取单位为 16 位; 采用 16 位定长指令字格式; CPU 采用单总线结构, 主要部分如下图所示。图中 R0R~3 为通用寄存器; T 为暂存器; SR 为移位寄存器, 可实现直送(mov), 左移一位(left)和右移一位(right)三种操作, 控制信号为 SROp, SR 的输出由信号 SRout 控制; ALU 可实现直送 A(mov), A 加 B(add), A 减 B(sub), A 与 B(and), A 或 B(or), 非 A(not), A 加 1(inc) 七种操作, 控制信号为 ALUOp。



回答下列问题:

- 1) 图中哪些寄存器是程序员可见的? 为何要设置暂存器 T?
- 2) 控制信号 ALUOp 和 SROp 的位数至少各是多少?
- 3) 控制信号 SRout 所控制部件的名称或作用是什么?
- 4) 端点①至⑨中, 哪些端点须连接到控制部件的输出端?
- 5) 为完善单总线数据通路, 需要在端点①至⑨中相应的端点之间添加必要的连线。写出连线的起点和终点, 以正确表示数据的流动方向。
- 6) 为什么二路选择器 MUX 的一个输入端是 2?

09. 【2022 统考真题】某 CPU 中部分数据通路如下图所示，其中，GPRs 为通用寄存器组;FR 为标志寄存器,用于存放 ALU 产生的标志信息;带箭头虚线表示控制信号,如控制信号 Read、Write 分别表示主存读、主存写,MDRin 表示内部总线上的数据写入 MDR,MDRout 表示 MDR 的内容送给内部总线。



- 请回答下列问题。
- 1) 设 ALU 的输入端 A 、 B 及输出端 F 的最高位分别为 A_{15} 、 B_{15} 及 F_{15} , FR 中的符号标志和溢出标志分别为 SF 和 OF, 则 SF 的逻辑表达式是什么? A 加 B 、 A 减 B 时 OF 的逻辑表达式分别是什么? 要求逻辑表达式的输入变量为 A_{15} 、 B_{15} 及 F_{15} 。
 - 2) 为什么要设置暂存器 Y 和 Z?
 - 3) 若 GPRs 的输入端 rs、rd 分别为所读、写的通用寄存器的编号, 则 GPRs 中最多有多少个通用寄存器? rs 和 rd 来自图中的哪个寄存器? 已知 GPRs 内部有一个地址译码器和一个多路选择器, rd 应连接地址译码器还是多路选择器?
 - 4) 取指令阶段 (不考虑 PC 增量操作) 的控制信号序列是什么? 若从发出主存读指令到主存读出数据并传送到 MDR 共需 5 个时钟周期, 则取指令阶段至少需要几个时钟周期?
 - 5) 图中控制信号由什么部件产生? 图中哪些寄存器的输出信号会连到该部件的输入端?

5.4 控制器的功能和工作原理

01. 若某机主频为200MHz, 每个指令周期平均为 2.5 个CPU周期, 每个CPU周期平均包括 2 个主频周期, 问:

- 1) 该机平均指令执行速度为多少 MIPS?
- 2) 若主频不变, 但每条指令平均包括 5 个 CPU 周期, 每个 CPU 周期又包含 4 个主频周期, 平均指令执行速度又为多少 MIPS?
- 3) 由此可得出什么结论?

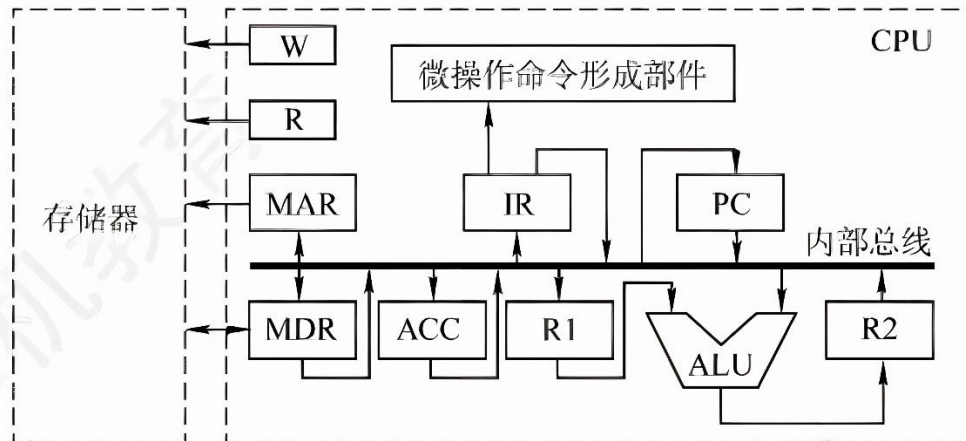
02. 某机有 80 条指令, 平均每条指令由 4 条微指令组成(包含取指微指令), 其中有一条取指微指令是所有指令公用的。已知微指令长度为 32 位, 请估算控制存储器 CM 容量。

03. 某微程序控制器中, 采用水平型直接控制(编码)方式的微指令格式, 后续微指令地址由微指令的后继地址字段给出。已知机器共有 28 个微命令, 6 个互斥的可判定的外部条件, 控制存储器的容量为 512×40 位。试设计其微指令的格式, 并说明理由。

04. 某机共有 52 个微操作控制信号, 构成 5 个相斥类的微命令组, 各组分别包含 5、8、2、15、22 个微命令。已知可判定的外部条件有两个, 微指令字长 28 位。

- 1) 按水平型微指令格式设计微指令, 要求微指令的后继地址字段直接给出后继微指令地址。
- 2) 指出控制存储器的容量。

05. 设 CPU 中各部件及其相互连接关系如下图所示, 其中 W 是写控制标志; R 是读控制标志; R1、R2 是暂寄存器。



- 1) 写出指令 $\text{ADD}\#a$ ($\#$ 为立即寻址特征, 隐含的操作数在 ACC 寄存器中) 在执行阶段所完成的微操作命令及节拍安排。
- 2) 假设要求在取指周期实现 $(PC)+1PC$, 且由 ALU 完成此操作 (ALU 能对它的一个源操作数完成加 1 运算)。以最少的节拍写出取指周期全部微操作命令及节拍安排。

5.6 指令流水线

01. 现有四级流水线, 分别完成取指令、指令译码并取数、运算、回写四步操作, 假设完成各部操作的时间依次为100ns、100ns、80ns和50ns。试问:

- 1) 流水线的操作周期应设计为多少?
- 2) 若相邻两条指令如下, 发生数据相关(假设在硬件上不采取措施), 试分析第二条指令要推迟多少时间进行才不会出错。

ADD R1,R2,R3	# R2+R3 →R1
SUB R4,R1,R5	# R1-R5 →R4

- 3) 若在硬件设计上加以改进, 至少需要推迟多少时间?

02. 假设指令流水线分为取指(IF)、译码(ID)、执行(EX)、回写(WB)4个过程, 共有10条指令连续输入此流水线。

- 1) 画出指令周期流程图。
- 2) 画出非流水线时空图。
- 3) 画出流水线时空图。
- 4) 假设时钟周期为100ns, 求流水线的实际吞吐量(单位时间执行完毕的指令数)。

03. 【2012 统考真题】某 16 位计算机中,有符号整数用补码表示,数据 Cache 和指令 Cache 分离。下表给出了指令系统中的部分指令格式,其中Rs和Rd表示寄存器,mem 表示存储单元地址,(x)表示寄存器x或存储单元x的内容。

表指令系统中部分指令格式		
名 称	指令的汇编格式	指令功能
加法指令	ADD Rs, Rd	(Rs) + (Rd) → Rd
算术/逻辑左移	SHL Rd	2*(Rd) → Rd
算术右移	SHR Rd	(Rd)/2 → Rd
取数指令	LOAD Rd, mem	(mem) → Rd
存数指令	STORE Rs, mem	(Rs) → mem

该计算机采用 5 段流水方式执行指令,各流水段分别是取指(IF),译码/读寄存器(ID),执行/计算有效地址(EX)、访问存储器(M)和结果写回寄存器(WB),流水线采用“按序发射,按序完成”方式,未采用转发技术处理数据相关,且同一寄存器的读和写操作不能在同一个时钟周期内进行。请回答下列问题:

- 1)若 int 型变量 x 的值为-513,存放在寄存器 R1 中,则执行“SHRR1”后,R1 中的内容是多少(用十六进制表示)?
- 2)若在某个时间段中,有连续的 4 条指令进入流水线,在其执行过程中未发生任何阻塞,则执行这 4 条指令所需的时钟周期数为多少?
- 3)若高级语言程序中某赋值语句为 $x = a + b$,x、a和b均为 int 型变量,它们的存储单元地址分别表示为[x]、[a]和[b]。该语句对应的指令序列及其在指令流中的执行过程如下所示。

I1	LOAD	R1,[a]
I2	LOAD	R2 [b]
I3	ADD	R1, R2
I4	STORE	R1, [x]

时钟	1	2	3	4	5	6	7	8	9	10	11	12	13	14
指令														
I ₁	IF	ID	EX	M	WB									
I ₂		IF	ID	EX	M	WB								
I ₃			IF				ID	EX	M	WB				
I ₄							IF				ID	EX	M	WB

则这 4 条指令执行过程中 I3 的 ID 段和 I4 的 IF 段被阻塞的原因各是什么?

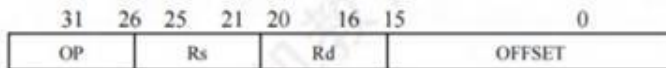
- 4)若高级语言程序中某赋值语句为 $x = x * 2 + a$,x和 a 均为 unsignedint 类型的变量,它们的存储单元地址分别表示为[x]、[a],则执行这条语句至少需要多少个时钟周期?要求模仿上图画出这条语句对应的指令序列及其在流水线中的执行过程示意图。[注]:下页为辅助作答区域

[本页为上题辅助作答区域]

04. 【2014 统考真题】某程序中有循环代码段 P: “for (inti=0;i<N;i++) sum+=A[i];”。假设编译时变量 sum 和 i 分别分配在寄存器 R1 和 R2 中。常量 N 在寄存器 R6 中, 数组 A 的首地址在寄存器 R3 中。程序段 P 的起始地址为 08048100H, 对应的汇编代码和机器代码如下表所示。

编 号	地 址	机器代码	汇编代码	注 释
1	08048100H	00022080H	loop: sll R4, R2, 2	(R2) << 2 → R4
2	08048104H	00083020H	add R4, R4, R3	(R4) + (R3) → R4
3	08048108H	8C850000H	load R5, 0(R4)	((R4) + 0) → R5
4	0804810CH	00250820H	add R1, R1, R5	(R1) + (R5) → R1
5	08048110H	20420001H	add R2, R2, 1	(R2) + 1 → R2
6	08048114H	1446FFFAH	bne R2, R6, loop	if(R2) ≠ (R6) goto loop

执行上述代码的计算机 M 采用 32 位定长指令字, 其中分支指令 bne 采用如下格式:



OP 为操作码; Rs 和 Rd 为寄存器编号; OFFSET 为偏移量, 用补码表示。

请回答下列问题, 并说明理由。

- 1) M 的存储器编址单位是什么?
- 2) 已知 sll 指令实现左移功能, 数组 A 中每个元素占多少位?
- 3) 表中 bne 指令的 OFFSET 字段的值是多少? 已知 bne 指令采用相对寻址方式, 当前 PC 内容为 bne 指令地址, 通过分析表中指令地址和 bne 指令内容, 推断 bne 指令的转移目标地址计算公式。
- 4) 若 M 采用如下“按序发射、按序完成”的 5 级指令流水线: IF(取值)、ID(译码及取数)、EXE(执行)、MEM(访存)、WB(写回寄存器), 且硬件不采取任何转发措施, 分支指令的执行均引起 3 个时钟周期的阻塞, 则 P 中哪些指令的执行会由于数据相关而发生流水线阻塞? 哪条指令的执行会发生控制冒险? 为什么指令 1 的执行不会因为与指令 5 的数据相关而发生阻塞?

05. 【2014 统考真题】假设对于上题中的计算机 M 和程序 P 的机器代码, M 采用页式虚拟存储管理; P 开始执行时, $(R1) = (R2) = 0, (R6) = 1000$, 其机器代码已调入主存但不在 Cache 中; 数组 A 未调入主存, 且所有数组元素在同一页, 并存储在磁盘的同一个扇区。请回答下列问题并说明理由。

- 1) P 执行结束时, R2 的内容是多少?
- 2) M 的指令 Cache 和数据 Cache 分离。若指令 Cache 共有 16 行, Cache 和主存交换的块大小为 32B, 则其数据区的容量是多少? 若仅考虑程序段 P 的执行, 则指令 Cache 的命中率为多少?
- 3) P 在执行过程中, 哪条指令的执行可能发生溢出异常? 哪条指令的执行可能产生缺页异常? 对于数组 A 的访问, 需要读磁盘和 TLB 至少各多少次?

第 6 章总线

6.1 总线概述

01. 某总线的时钟频率为 66MHz, 在一个 64 位总线中, 总线数据传输的周期是 7 个时钟周期传输 6 个字的数据块。

- 1) 总线的数据传输速率是多少?
- 2) 若不改变数据块的大小, 而将时钟频率减半, 这时总线的数据传输速率是多少?

02. 某总线支持二级 Cache 块传输方式, 若每块 6 个字, 每个字长 4 字节, 时钟频率为 100MHz。
- 1) 读操作时, 第一个时钟周期接收地址, 第二、三个为延时周期, 另用 4 个周期传送一个块。读操作的总线传输速率为多少?
 - 2) 写操作时, 第一个时钟周期接收地址, 第二个为延时周期, 另用 4 个周期传送一个块, 写操作的总线传输速率是多少?
 - 3) 设在全部的传输中, 70%的时间用于读, 30%的时间用于写, 该总线在本次传输中的平均传输速率是多少?

6.2 总线事务和定时

01. 在异步串行传输方式下, 起始位为 1 位, 数据位为 7 位, 偶校验位为 1 位, 停止位为 1 位, 假设每秒传输 1200 比特, 试问有效数据传输速率为多少?

第 7 章 输入/输出系统

7.3 I/O 方式

01. 在 DMA 方式下, 主存和 I/O 设备之间有一条物理通路相连吗?

02. 假定某 I/O 设备向 CPU 传送信息的最高频率为 4 万次/秒, 而相应中断处理程序的执行时间为 $40\mu\text{s}$, 则该 I/O 设备是否可采用中断方式工作? 为什么?

03. 在程序查询方式的输入/输出系统中, 假设不考虑处理时间, 每个查询操作需要 100 个时钟周期, CPU 的时钟频率为 50MHz 。现有鼠标和硬盘两个设备, 而且 CPU 必须每秒对鼠标进行 30 次查询, 硬盘以 32 位字长为单位传输数据, 即每 32 位被 CPU 查询一次, 传输速率为 $2 \times 2^{20}\text{B/s}$ 。求 CPU 对这两个设备查询所花费的时间比率, 由此可得出什么结论?

04. 设某计算机有 4 个中断源1、2、3、4, 其硬件排队优先次序按 $1 \rightarrow 2 \rightarrow 3 \rightarrow 4$ 降序排列, 各中断源的服务程序中所对应的屏蔽字如下表所示。

中断源	屏蔽字			
	1	2	3	4
1	1	1	0	1
2	0	1	0	0
3	1	1	1	1
4	0	1	0	1

- 1) 给出上述 4 个中断源的中断处理次序。
- 2) 若 4 个中断源同时有中断请求, 画出 CPU 执行程序的轨迹。

05. 一个 DMA 接口可采用周期窃取方式把字符(字节)传送到存储器, 它支持的最大批量为400B。若存取周期为 $0.2\mu s$, 每处理一次中断需 $5\mu s$, 现有的字符设备的传输速率为9600b/s。假设字符之间的传输是无间隙的, 试问 DMA 方式每秒因数据传输占用处理器多少时间?若完全采用中断方式, 又需占处理器多少时间(忽略预处理所需时间)?

06. 假设磁盘传输数据以 32 位的字为单位, 传输速率为 1MB/s, CPU 的时钟频率为 50MHz。回答以下问题:

- 1) 采取程序查询方式, 假设查询操作需要 100 个时钟周期, 求 CPU 为 I/O 查询所花费的时间比率 (假设进行足够的查询以避免数据丢失)。
- 2) 采用中断方式进行控制, 每次传输的开销 (包括中断处理) 为 80 个时钟周期。求 CPU 为传输硬盘所花费的时间比率。
- 3) 采用 DMA 的方式, 假定 DMA 的启动需要 1000 个时钟周期, DMA 完成后处理需要 500 个时钟周期。若平均传输的数据长度为 4KB (此处 $K = 1000$), 试问硬盘工作时 CPU 将用多少时间比率进行输入/输出操作? 忽略 DMA 申请总线的影响。

07. 【2009 统考真题】某计算机的 CPU 主频为 500MHz, CPI 为 5 (即执行每条指令平均需 5 个时钟周期)。假定某外设的数据传输速率为 0.5MB/s, 采用中断方式与主机进行数据传送, 以 32 位为传输单位, 对应的中断服务程序包含 18 条指令, 中断服务的其他开销相当于 2 条指令的执行时间。回答下列问题, 要求给出计算过程。

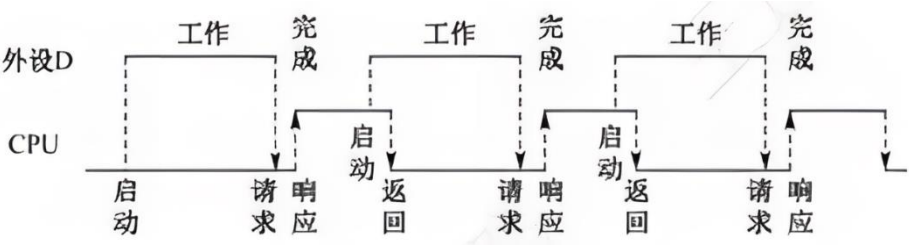
- 1) 在中断方式下, CPU 用于该外设 I/O 的时间占整个 CPU 时间的百分比是多少?
- 2) 当该外设的数据传输速率达到 5MB/s 时, 改用 DMA 方式传送数据。假定每次 DMA 传送块大小为 5000B, 且 DMA 预处理和后处理的总开销为 500 个时钟周期, 则 CPU 用于该外设 I/O 的时间占整个 CPU 时间的百分比是多少 (假设 DMA 与 CPU 之间没有访存冲突)?

08. 【2012 统考真题】假定某计算机的 CPU 主频为 80MHz, CPI 为 4, 平均每条指令访存 1.5 次, 主存与 Cache 之间交换的块大小为 16B, Cache 的命中率为 99%, 存储器总线带宽为 32 位。回答下列问题。

- 1) 该计算机的 MIPS 数是多少? 平均每秒 Cache 缺失的次数是多少? 在不考虑 DMA 传送的情况下, 主存带宽至少达到多少才能满足 CPU 的访存要求?
- 2) 假定在 Cache 缺失的情况下访问主存时, 存在 0.0005% 的缺页率, 则 CPU 平均每秒产生多少次缺页异常? 若页面大小为 4KB, 每次缺页都需要访问磁盘, 访问磁盘时 DMA 传送采用周期挪用方式, 磁盘 I/O 接口的数据缓冲寄存器为 32 位, 则磁盘 I/O 接口平均每秒发出的 DMA 请求次数至少是多少?
- 3) CPU 和 DMA 控制器同时要求使用存储器总线时, 哪个优先级更高? 为什么?
- 4) 为了提高性能, 主存采用 4 体低位交叉存储模式, 工作时每 1/4 个存储周期启动一个体。若每个体的存储周期为 50ns, 则该主存能提供的最大带宽是多少?

09. 【2016 统考真题】假定 CPU 主频为50MHz,CPI为 4。设备 D 采用异步串行通信方式向主机传送 7 位 ASCII 码字符,通信规程中有 1 位奇校验位和 1 位停止位,从 D 接收启动命令到字符送入 I/O 端口需要0.5ms。回答下列问题,要求说明理由。

- 1) 每传送一个字符,在异步串行通信线上共需传输多少位?在设备 D 持续工作过程中,每秒最多可向 I/O 端口送入多少个字符?
- 2) 设备 D 采用中断方式进行输入/输出,示意图如下所示:



I/O 端口每收到一个字符申请一次中断,中断响应需 10 个时钟周期,中断服务程序共有 20 条指令,其中第 15 条指令启动 D 工作。若 CPU 需从 D 读取 1000 个字符,则完成这一任务所需时间大约是多少个时钟周期?CPU 用于完成这一任务的时间大约是多少个时钟周期?在中断响应阶段 CPU 进行了哪些操作?

10. 【2018 统考真题】假定计算机的主频为500MHz,CPI为4。现有设备 A 和 B,其数据传输速率分别为2MB/s和40MB/s,对应 I/O 接口中各有一个 32 位数据缓冲寄存器。回答下列问题,要求给出计算过程。

- 1) 若设备A采用定时查询 I/O 方式,每次输入/输出都至少执行 10 条指令。设备A最多间隔多长时间查询一次才能不丢失数据?CPU 用于设备 A 输入/输出的时间占 CPU 总时间的百分比至少是多少?
- 2) 在中断 I/O 方式下,若每次中断响应和中断处理的总时钟周期数至少为 400,则设备B能否采用中断I/O方式?为什么?
- 3) 若设备B采用 DMA 方式,每次 DMA 传送的数据块大小为1000B,CPU用于 DMA 预处理和后处理的总时钟周期数为 500,则 CPU 用于设备 B 输入/输出的时间占 CPU 总时间的百分比最多是多少?

11. 【2022 统考真题】假设某磁盘驱动器中有 4 个双面盘片,每个盘面有 20000 个磁道,每个磁道有 500 个扇区,每个扇区可记录 512 字节的数据,盘片转速为 7200rpm(转/分),平均寻道时间为5ms。请回答下列问题。

- 1) 每个扇区包含数据及其地址信息,地址信息分为 3 个字段。这 3 个字段的名称各是什么?对于该磁盘,各字段至少占多少位?
- 2) 一个扇区的平均访问时间约为多少?
- 3) 若采用周期挪用 DMA 方式进行磁盘与主机之间的数据传送,磁盘控制器中的数据缓冲区大小为 64 位,则在一个扇区的读/写过程中,DMA 控制器向 CPU 发送了多少次总线请求?若 CPU 检测到 DMA 控制器的总线请求信号时也需要访问主存,则 DMA 控制器是否可以获得总线使用权?为什么?